

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-236358
 (43)Date of publication of application : 10.09.1993

(51)Int. Cl. H04N 5/335
 H01L 27/148

(21)Application number : 04-271205 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 14.09.1992 (72)Inventor : ENDO YUKIO
 EGAWA YOSHITAKA

(30)Priority

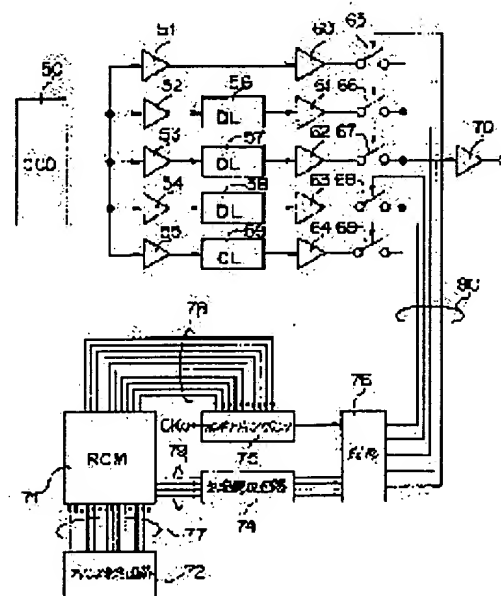
Priority number : 03310785 Priority date : 26.11.1991 Priority country : JP

(54) SOLID-STATE IMAGE-PICKUP DEVICE

(57)Abstract:

PURPOSE: To provide a solid-state image-pickup device which can correct the defects of picture elements of a solid-state image-pickup element for the high vision at a high speed with no increase of noises, can correct the defects of many picture elements in a single area, and can obtain the reproduced images of high picture quality.

CONSTITUTION: A solid-state image-pickup device contains a defect correcting circuit which corrects the defective parts of picture elements of a solid-state image-pickup element 50 consisting of an array of plural photosensitive picture elements. This defect correcting circuit consists of a memory 71 which stores the positions and the types of defects of picture elements, the decoder circuits 74-76 which convert the information codes read out of the memory 71 into the picture element defect correction pulses, the delay dividing circuits 56-59 which divide the picture element signal output of the element 50 into plural picture element signals of different delay extents, and the switch circuits 65-69 which select the outputs of divided signals of different delay extents in accordance with the picture element defect correction pulses and replace the picture element defects with the peripheral normal picture element signals.



LEGAL STATUS

[Date of request for examination] 31.08.1999
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other

than the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2000 Japanese Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-236358

(43)公開日 平成5年(1993)9月10日

(51)Int.Cl.⁵

H04N 5/335

H01L 27/148

識別記号

庁内整理番号

P 4228-5C

7210-4M

F I

H01L 27/14

技術表示箇所

B

審査請求 未請求 請求項の数10(全 18 頁)

(21)出願番号 特願平4-271205

(22)出願日 平成4年(1992)9月14日

(31)優先権主張番号 特願平3-310785

(32)優先日 平3(1991)11月26日

(33)優先権主張国 日本(JP)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 遠藤 幸雄

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(72)発明者 江川 佳孝

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

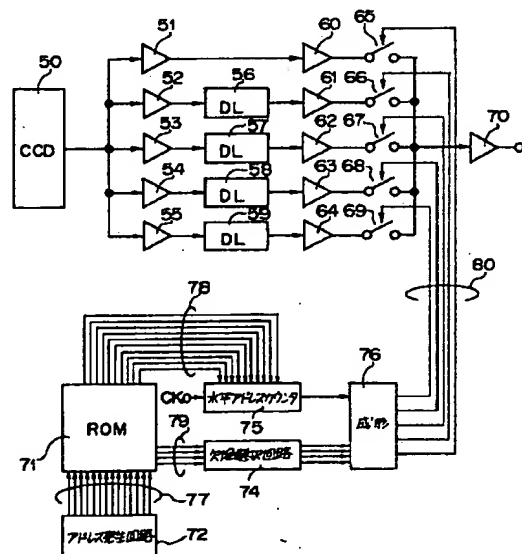
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 固体撮像装置

(57)【要約】

【目的】 ハイビジョン用固体撮像素子の画素欠陥を高速でノイズの増加なく補正することができ、且つ1箇所で多画素の欠陥をも補正することができ、高画質の再生像を得ることのできる固体撮像装置を提供すること。

【構成】 複数の感光画素を配列してなる固体撮像素子の画素欠陥部分を周辺の正常画素信号で補正する欠陥補正回路を備えた固体撮像装置において、欠陥補正回路を、画素欠陥の位置と種類を記憶するメモリ71と、このメモリ71から読み出された情報コードを画素欠陥補正パルスに変換するデコーダ回路74~76と、固体撮像素子50の画素信号出力を遅延量異なる複数の画素信号に分割する遅延分割回路56~59と、画素欠陥補正パルスに応じて遅延量異なる分割信号の出力を選択し、画素欠陥を周辺の正常画素信号で置き換えるスイッチ回路65~69とから構成するようにしたもの。



【特許請求の範囲】

【請求項1】複数の感光画素を配列してなる固体撮像素子の画素欠陥部分を正常画素信号で補正する欠陥補正回路を備えた固体撮像装置において、

前記欠陥補正回路は、前記画素欠陥の位置と種類を記憶するメモリと、このメモリから読み出された情報コードを画素欠陥補正パルスに変換するデコーダ回路と、前記画素欠陥補正パルスに応じて前記画素欠陥を周辺の正常画素信号で置き換える回路と、からなることを特徴とする固体撮像装置。

【請求項2】複数の感光画素を配列してなる固体撮像素子の画素欠陥部分を正常画素信号で補正する欠陥補正回路を備えた固体撮像装置において、

前記欠陥補正回路は、前記画素欠陥の位置と種類を記憶するメモリと、このメモリから読み出された情報コードを画素欠陥補正パルスに変換するデコーダ回路と、前記固体撮像素子の画素信号出力を遅延量が異なる複数の画素信号に分割する遅延分割回路と、前記画素欠陥補正パルスに応じて前記遅延量が異なる分割信号の出力を選択し、前記画素欠陥を周辺の正常画素信号で置き換えるス

10

20

イッチ回路と、からなることを特徴とする固体撮像装置。

【請求項3】前記遅延分割回路は複数個のアナログ遅延線からなり、前記スイッチ回路は前記固体撮像素子の画素信号出力の無効期間で分割信号の出力を選択することを特徴とする請求項2記載の固体撮像装置。

【請求項4】前記メモリは、前記固体撮像素子の水平走査期間を単位として画素欠陥の水平位置と種類をコード化して記憶するものであり、コード化した情報をメモリから読み出す期間は水平ブランキング期間であることを

30

特徴とする請求項2記載の固体撮像装置。

【請求項5】前記デコーダ回路は、複数の画素欠陥の中で水平走査方向の所定の1画素だけの位置を出力する水平アドレスカウンタと、複数の画素欠陥の種類を水平有効期間出力する画素欠陥選択回路と、前記水平アドレスカウンタの出力パルスと前記画素欠陥選択回路の出力パルスを合成して画素欠陥補正パルスを成形する成形回路とからなることを特徴とする請求項2記載の固体撮像装置。

【請求項6】前記遅延分割回路は、分割した各信号に対して独立に直流オフセットを制御できる機能を持つことを特徴とする請求項2記載の固体撮像装置。

【請求項7】前記スイッチ回路は、前記遅延分割回路からの分割信号出力が供給される複数のスイッチと、これらのスイッチの出力側にそれぞれ接続されたトランジスタからなり、各トランジスタのベースを対応するスイッチの出力端に接続し、各トランジスタのエミッタを共通に接続し、スイッチ・オフのときはトランジスタがオフになるバイアスを設定し、スイッチ・オンのときはトランジスタがオンになるバイアスを設定することを特徴と

40

50

する請求項2記載の固体撮像装置。

【請求項8】前記固体撮像素子の画素信号出力はデジタル信号であって、前記複数の画素信号に分割する遅延分割回路、分割した信号を切り換えるスイッチ回路はデジタル信号を処理する回路であることを特徴とする請求項2記載の固体撮像装置。

【請求項9】複数の感光画素を配列してなる固体撮像素子の画素欠陥部分を正常画素信号で補正する欠陥補正回路を備えた固体撮像装置において、

欠陥画素位置を記憶するメモリと、このメモリから欠陥位置指定パルスを読み出すデコーダ回路と、前記固体撮像素子の画素信号出力を遅延量が異なる複数の画素信号に分割する遅延分割回路と、前記欠陥位置指定パルスに応じて欠陥画素信号及びそれ以外の信号の一方をレベルシフトし、欠陥画素信号以外の信号を抽出する第1の信号抽出手段と、前記欠陥画素を置き換えるべき正常画素信号及びそれ以外の信号の一方をレベルシフトし、補正用の正常画素信号を抽出する第2の信号抽出手段と、第1の信号抽出手段で得られた欠陥画素信号以外の信号と第2の信号抽出手段で得られた補正用の正常画素信号とを合成する信号合成手段と、からなることを特徴とする固体撮像装置。

【請求項10】複数の感光画素を配列してなる固体撮像素子の画素欠陥部分を正常画素信号で補正する欠陥補正回路を備えた固体撮像装置において、

欠陥画素位置を記憶するメモリと、このメモリから欠陥位置指定パルスを読み出すデコーダ回路と、前記固体撮像素子の画素信号出力を遅延量が異なる複数の画素信号に分割する遅延分割回路と、前記欠陥位置指定パルスに応じて欠陥画素信号をレベルシフトする欠陥信号レベルシフト回路と、正常画素信号で補正する信号以外をレベルシフトする補正信号以外レベルシフト回路と、前記各信号のレベルシフトしてない信号期間を合成する合成回路と、からなることを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、固体撮像装置に係わり、特に画素欠陥補正回路の改良をはかった固体撮像装置に関する。

【0002】

【従来の技術】CCD（電荷転送素子）等を用いた固体撮像素子は、小型、軽量、高信頼性、保守がしやすい等の多くの特徴があり、広い分野のカメラに応用されている。また、最近ではハイビジョンカメラ用としても開発され、その実用化が期待されている。

【0003】ハイビジョン用固体撮像素子に要求されることは、多画素、高感度、高速で使用できることである。例えば、画素数として水平2000画素、垂直1000画素の信号を、74.25MHzで読み出すことが要求されている。このような多くの画素を高速で均一に

読み出すには、極めて難しい技術が必要である。特に、固体撮像素子では、半導体の結晶を一定の面積にわたって均一に形成することが困難であり、局所的に結晶欠陥が生じる結果、この結晶欠陥が熱的な原因で電荷の発生を招く。このため、この部分が他の部分に比べて大きくなり欠陥のある画素となる。

【0004】また、先に述べた画素数を、例えば2/3インチのイメージフォーマットに適合するサイズで素子設計すると、1画素の大きさは約 $5\mu\text{m} \times 5\mu\text{m}$ となる。このような微小画素においては、非常に小さいゴミであつても素子製作工程上に存在した場合、又はゴミが素子の表面に付着した場合に欠陥のある画素となってしまう。そして、素子に欠陥画素があると再生画像ではノイズとなって現われ、画質劣化となる。

【0005】この画素欠陥を回路的な手法によって除去する方法として、特公昭55-32270号公報や特公平2-7227号公報等がある。これらに開示された画素欠陥の補正技術は、信号処理回路にサンプル・ホールド回路を設け、画素欠陥のある位置だけサンプルパルスを停止し、これにより1画素前の画素信号で欠陥画素の信号を置き換えるものである。しかしながら、この技術においては、高速性、ノイズ等の点に問題がある。以下、この問題について、図34、35を参照して説明する。

【0006】図34は従来の欠陥補正回路を示す回路構成図で、図35はその動作波形図である。図34において、CCD180から出力された画像信号は、アンプ181で増幅された後、サンプルホールド回路182、ホールドコンデンサ183を通り、さらにアンプ184で処理された後、出力端185に出力される。サンプルホールド回路182の駆動は、サンプルパルス発生回路186、欠陥画素の位置をメモリしておく回路187より画素周期パルス189を制御して行う。

【0007】図35にはCCD出力波形OS、サンプルホールド(S/H)パルス、欠陥補正後の出力波形を示す。図中の時間は、200万画素CCDを74.25MHzで動作した場合を示す。 $S_0 \cdots S_3$ は画素信号で S_2 に欠陥画素がある場合を示す。このような高速動作では画素信号期間 t_{19} は6.75nsとなる。このときのサンプルパルス幅 t_{20} は2nsである。欠陥画素でサンプルパルスを停止すると出力信号は S_2 の期間に S_1 の信号がホールドされる。

【0008】しかし、この方法では図から明らかなように画素信号期間を使用してサンプルホールドを行っているため、このサンプルホールドに使用するパルスが信号に飛び込む。一方、欠陥画素信号の位置にはパルスは飛び込まない。この飛び込みの差が出力信号の N_1 、 N_2 となって現われる。このため、確実に欠陥補正ができない問題があった。また、サンプルホールド回路ではパルス幅2nsと極めて高速である回路が必要である。さら

に、このパルスにジッタがあると出力波形に振幅方向のノイズが現われる問題があった。

【0009】

【発明が解決しようとする課題】このように従来の画素欠陥補正回路においては、画素信号期間でサンプルホールドを行っているためノイズが発生する、高速信号処理に対応できない、さらに欠陥補正位置を記憶しておくROMからデータを読み出すときノイズが発生する等の問題点があった。また、従来の画素欠陥補正回路は1箇所

で1画素の補正であり、1箇所でも画素の欠陥の補正はできない問題点があった。

【0010】本発明は、上記事情を考慮してなされたもので、その目的とするところは、ハイビジョン用固体撮像素子の画素欠陥を高速でノイズの増加なく補正することができ、且つ1箇所でも画素の欠陥をも補正することができ、高画質の再生像を得ることのできる固体撮像装置を提供することにある。

【0011】

【課題を解決するための手段】本発明の骨子は、固体撮像素子の画素欠陥部分をその欠陥の周辺の正常画素部分の信号で補正することであり、さらにこの補正手段として、固体撮像素子の画素信号出力を遅延して分割する機能、分割された画素信号出力を選択する機能を設けたことにある。

【0012】即ち本発明（請求項1）は、複数の感光画素を配列してなる固体撮像素子の画素欠陥部分を正常画素信号で補正する欠陥補正回路を備えた固体撮像装置において、欠陥補正回路を、画素欠陥の位置と種類を記憶するメモリと、このメモリから読み出された情報コードを画素欠陥補正パルスに変換するデコーダ回路と、画素欠陥補正パルスに応じて画素欠陥を周辺の正常画素信号で置き換える回路とから構成するようにしたものである。

【0013】また、本発明（請求項2）は、複数の感光画素を配列してなる固体撮像素子の画素欠陥部分を正常画素信号で補正する欠陥補正回路を備えた固体撮像装置において、欠陥補正回路を、画素欠陥の位置と種類を記憶するメモリと、このメモリから読み出された情報コードを画素欠陥補正パルスに変換するデコーダ回路と、固体撮像素子の画素信号出力を遅延量が異なる複数の画素信号に分割する遅延分割回路と、画素欠陥補正パルスに応じて遅延量が異なる分割信号の出力を選択し、画素欠陥を周辺の正常画素信号で置き換えるスイッチ回路とから構成するようにしたものである。

【0014】さらに本発明は、以下に示す構成を採用することで、より高速化、低ノイズ化を行うことができるものである。

(1) スイッチ回路は、水平走査方向の前後の正常画素を利用して、画素欠陥を周辺の正常画素信号で置き換える。

- (2) 遅延分割回路として複数個のアナログ遅延線を用い、スイッチ回路により固体撮像素子の出力信号の無効期間で補正パルスをオン・オフして、遅延した分割信号を切り換える。
- (3) 固体撮像素子の出力は2線として、補正パルスの切り換えは同相で行う。
- (4) 画素欠陥の位置と種類を記憶するメモリは、水平ブランキング期間を単位としてこの情報の読出しは水平ブランキング期間にコードで行い、水平有効期間に所定の1画素の位置だけアドレスカウンタを動作させ、この出力と欠陥の種類を選択するパルスを合成して補正パルスを発生する。
- (5) デコーダ回路を、画素欠陥の中で水平走査方向の所定の1画素だけの位置を出力する水平アドレスカウンタと、複数の画素欠陥の種類を水平有効期間出力する画素欠陥選択回路と、水平アドレスカウンタの出力パルスと画素欠陥選択回路の出力パルスを合成して画素欠陥補正パルスを成形する成形回路と、から構成する。
- (6) 水平アドレスカウンタをグレイカウンタで構成し、グレイカウンタのセット入力にメモリから読み出されたコードを与え、水平走査方向の所定の1画素だけの位置を出力するのにグレイカウンタのキャリーパルスをを用いる。
- (7) 遅延分割回路は、分割した各信号に対して独立に直流オフセットを制御できる機能を持つ。
- (8) スwitch回路は、遅延分割回路からの分割信号出力が供給される複数のスイッチと、これらのスイッチの出力側にそれぞれ接続されたトランジスタとからなり、各トランジスタのベースを対応するスイッチの出力端に接続し、各トランジスタのエミッタを共通に接続し、スイッチ・オフのときはトランジスタがオフになるバイアスを設定し、スイッチ・オンのときはトランジスタがオンになるバイアスを設定する。
- (9) 固体撮像素子の画素信号出力はデジタル信号であって、複数の画素信号に分割する遅延分割回路、分割した信号を切り換えるスイッチ回路はデジタル信号を処理する回路である。
- (10) 遅延分割回路及びスイッチ回路を、電荷転送素子(CCD)で構成する。

【0015】また、本発明(請求項9)は、複数の感光画素を配列してなる固体撮像素子の画素欠陥部分を正常画素信号で補正する欠陥補正回路を備えた固体撮像装置において、欠陥画素位置を記憶するメモリと、このメモリから欠陥位置指定パルスを読出すデコーダ回路と、固体撮像素子の画素信号出力を遅延量が異なる複数の画素信号に分割する遅延分割回路と、欠陥位置指定パルスに応じて欠陥画素信号及びそれ以外の信号の一方をレベルシフトし、欠陥画素信号以外の信号を抽出する第1の信号抽出手段と、欠陥画素を置き換える正常画素信号及びそれ以外の信号の一方をレベルシフトし、補正用の正常

画素信号を抽出する第2の信号抽出手段と、第1の信号抽出手段で得られた欠陥画素信号以外の信号と第2の信号抽出手段で得られた補正用の正常画素信号とを合成する信号合成手段とからなることを特徴とする。

【0016】また、本発明(請求項10)は、複数の感光画素を配列してなる固体撮像素子の画素欠陥部分を正常画素信号で補正する欠陥補正回路を備えた固体撮像装置において、欠陥画素位置を記憶するメモリと、このメモリから欠陥位置指定パルスを読出すデコーダ回路と、固体撮像素子の画素信号出力を遅延量が異なる複数の画素信号に分割する遅延分割回路と、欠陥位置指定パルスに応じて欠陥画素信号をレベルシフトする欠陥信号レベルシフト回路と、正常画素信号で補正する信号以外をレベルシフトする補正信号以外レベルシフト回路と、各信号のレベルシフトしてない信号期間を合成する合成回路とからなることを特徴とする。

【0017】さらに、本発明の望ましい実施態様としては、次のものがあげられる。

(1) レベルシフト回路は、複数のトランジスタを直列に接続して同一のコレクタ電流が流れるようにし、一方のトランジスタのベースに画素信号を入力し、他方のトランジスタのベースに欠陥位置指定パルスを入力し、コレクタ電流を制御してレベルシフトを行う。

(2) レベルシフト回路は、トランジスタのエミッタ、コレクタに抵抗を設け、ベースに画素信号を入力し、反転増幅回路を構成して、コレクタ側の抵抗の両端にスイッチ回路を設け、欠陥位置指定パルスでこのスイッチ回路を制御し、コレクタ側の抵抗を短絡してコレクタ電圧を制御するレベルシフトを行う。

(3) レベルシフト回路は、画素信号に欠陥位置指定パルスを合成してレベルシフトを行う。

【0018】

【作用】本発明によれば、ハイビジョン用固体撮像素子の欠陥補正回路を確実に行うことができる。例えば、1箇所の画素欠陥が複数であっても左右の正常画素で補間するので補正誤差を小さくした状態で補正ができる。しかも、複数の画素信号を遅延量が異なる複数の画素信号に分割し、画素欠陥の種類に応じて分割信号を選択しているため、補正パルスの周波数が低くて済む、このため、従来のサンプルホールドを利用した方法に比べ高速性に優れている。

【0019】また、スイッチ回路による分割信号の選択を固体撮像素子の出力信号の無効期間で行っているため、画素信号にパルスが飛び込む等の不都合はなく、ノイズの増加を未然に防止できる。さらに、補正パルスの発生を1個のアドレスカウンタで行い、メモリからのコードデータ転送を水平ブランキング期間で行っているため、補正パルスからのノイズの発生がない。

【0020】さらに、欠陥補正の信号切り替えにスイッチ回路を用いないで、欠陥信号のレベルシフトと補間す

る信号以外をレベルシフトする方法で両信号を合成して欠陥補正を行うことにより、スイッチでは約5 VP-P 必要であった補正パルスが1/10の0.5 V-pp で済む。この場合は、ノイズの発生をより確実に抑えることができる。

【0021】従って本発明では、従来の欠陥補正で行っている画素有効信号を直接サンプルホールドする方法とは異なり、固体撮像素子の画素信号出力を遅延して分割する機能、分割された画素信号出力を選択する機能を設け、固体撮像素子の画素欠陥部分をその欠陥の周辺の正10 常画素部分の信号で補正することにより、高速で、ノイズの増加なく、1箇所でも複数の画素欠陥を補正することが可能となる。

【0022】

【実施例】以下、本発明の詳細を図示の実施例によって説明する。

【0023】図1は、本発明の第1の実施例に係わる画素欠陥補正回路を備えた固体撮像装置を示す回路構成図である。CCD10は2線出力構成であり、 OS_A 11及び OS_B 12が出力されている。これらの出力は、ア10 ンプ13、14で増幅された後、遅延線(DL)15、16を介して、又は直接にスイッチ回路の各スイッチ17(SW1)、18(SW2)、19(SW3)、20(SW4)に供給される。そして、このスイッチ回路により異なる遅延量の信号が選択される。

【0024】具体的には、アンプ13の出力はSW1に供給されると共に、DL15を通してSW3に供給され、アンプ14の出力はDL16を通してSW2、SW4に供給される。なお、SW1、SW2、SW3、SW4は図示しない画素欠陥アドレスパルス発生回路より得20 たパルスで制御される。

【0025】SW1、SW2を介して得られる出力は、アンプ21、遅延線(DL)23及びアンプ24を通して加算回路25に供給される。また、SW3、SW4を介して得られる出力は、アンプ22を通して加算回路25に供給される。ここで、DL15、16は2画素相当の遅延量2tであり、DL23は1画素相当の遅延量tである。アンプ22とアンプ24の出力は加算回路25によって加算され、出力端26に出力される。

【0026】次に、図1の実施例の具体的な動作について、図2を参照して説明する。この図では、CCD10の出力信号 OS_A 、 OS_B 、SW1、SW2、SW3、SW4の入力信号、スイッチ回路で選択切換えた後のアンプ21、22の出力信号、加算回路26の出力信号を示している。

【0027】図中に示す S_0 、 S_1 、 $S_3 \cdots S_7$ は有効期間画素信号を示す。この場合、 S_2 に画素欠陥があり、他の画素は正常画素である。CCD10の出力は同相出力である。即ち、 S_1 と S_2 、 S_3 と S_4 、…は同位相で出力されている。スイッチ回路のSW1入力とS 50

W3入力位相差は2画素2tとする。スイッチ回路のSW2入力とSW4入力は OS_B 出力を2画素遅延して同位相とする。

【0028】この例では、 S_2 の画素信号に欠陥があるので、 S_2 を隣の正常画素 S_1 に置き換えればよい。即ち、SW1はオン、SW2はオフ、SW3はオン、SW4はオフにすると、アンプ21、22の出力は図2のようになる。そして、アンプ21の出力信号を1画素相当遅延tして加算すれば、加算回路26の出力信号では S_2 の欠陥画素が S_1 の正常画素に置き換えられる。

【0029】この動作による効果について、図3を用いて詳しく説明する。この図は、図2の欠陥画素付近の信号波形を拡大したものであり、 OS_A 出力波形、 OS_B 出力波形、補正パルス(欠陥アドレスパルス)、補正後の出力波形を示している。

【0030】 S_2 の欠陥画素を S_1 の正常画素に置き換えるため、補正パルスでスイッチ回路を切り換える。このとき、補正パルスはCCD出力信号の有効期間でオン・オフする。このため、スイッチの切り換え時点で発生する飛び込みノイズ N_p は信号有効期間に入る。有効画素信号は OS 出力のまま、ノイズの混入なくきれいに保たれている。

【0031】また、補正パルス幅 t_2 は200万画素CCDの場合画素信号有効期 t_1 の13.5nsの2倍の27nsと広くできる。この値は、従来のサンプルホールド法によるものに比べ10倍以上である。このことは、本実施例は従来法に比べ10倍以上高速の回路に適用できることを意味する。さらに、補正パルスのオン・オフ時点が有効期間であるため、このパルスにジッタがあっても有効画素信号に変化がないので、高S/Nのまま欠陥補正が可能になる。

【0032】次に、本発明の第2の実施例について説明する。本発明は、固体撮像素子の画素欠陥を1箇所でも複数の欠陥を補正し、かつ補正したことによるノイズの増加、さらに回路の高速対応にも適用できる特徴がある。特に、ハイビジョン用素子では例えば200万画素の画素数がある。このため、1箇所でも10画素付近の欠陥を補正しても再生画係止では殆ど分らない。

【0033】図4は、1箇所でも10画素の欠陥画素がある場合の画素配置例を示した図である。ここで、 $N+1$ 、 $N+2 \cdots N+6$ は走査線方向を示し、 P_1 、 P_2 、 $P_3 \cdots P_8$ は水平画素方向を示す。□印は正常画素、×印は欠陥画素を示す。矢印は欠陥画素を左右の正常画素で補間する関係を示す。本実施例では、ここに示すような1箇所でも複雑な画素欠陥を補正できる。次に、具体的構成と動作について説明する。

【0034】図5は、第2の実施例を実現する具体的回路例を示す図である。CCD50の出力は、5分割にしてアンプ51、52、53、54、55でそれぞれ増幅される。アンプ52~55の出力は、遅延線(DL)5 50

6, 57, 58, 59を介してアンプ61, 62, 63, 64でそれぞれ増幅される。アンプ51の出力は、遅延線を通すことなくアンプ60で増幅される。ここで、DL56は1画素相当の遅延量、DL57は2画素相当の遅延量、DL58は3画素相当の遅延量、DL59は4画素相当の遅延量を持つ。

【0035】アンプ60～64の出力はスイッチ65, 66, 67, 68, 69で切換えられ、出力アンプ70を通して出力される。スイッチ65～69は欠陥補正パルスで制御される。この欠陥補正パルスは、例えばROM71より読出し形成して得る。ROM71はアドレス発生回路72より駆動され、ROM71のコードの出力は水平アドレスカウンタ75と欠陥選択回路74へ入力される。そして、成形回路76により、各走査線における水平アドレスと欠陥の種類を選択して欠陥補正パルス80が得られる。アドレス線77とROM出力コード78, 79は、水平ブランキング期間で動作させ、欠陥補正パルス80への同期性ノイズの抑圧を行っている。

【0036】図6は、図5の回路の動作波形図である。ここでは、図4に示す画素配置図のN+4ラインでの動作について説明する。N+4ラインは水平方向に4画素の欠陥画素がある場合である。図6(a)～(e)は、スイッチ65～69の入力の波形である。図6(f)～(j)は、スイッチ65～69の制御パルスである。図6(k)は、アンプ70の出力で欠陥補正した信号波形である。

【0037】P₁, P₂, …P₉は、図4に示す画素配置図の位置と対応している。即ち、P₁, P₂, P₇, P₈, P₉は正常画素、P₃, P₄, P₅, P₆は欠陥画素である。遅延量の異なった画素信号をスイッチで切り換える。そして、切り換えるタイミングは画素信号の無効期間で行う。図6(f)～(j)に示すスイッチ65～69のオン・オフの制御によって、図6(k)に示すように出力画素は、P₁, P₂, P₂, P₂, P₇, P₇, P₇, P₈, P₉となる。即ち、欠陥画素の位置で前の欠陥はP₂に補間され、後の欠陥はP₇に補間され、1ライン上で欠陥のない正常画素の信号になる。この動作をN+2, N+3, N+5の各走査線でそれぞれの欠陥画素に対応した制御パルスで行えば、図4に示した1箇所複雑な多画素欠陥を補正することが可能となる。

【0038】図7は、図5に示した欠陥補正パルスをノイズの発生なく作る方法を説明するための図である。ROMから読出しコードD₀～D₁₃は1H期間のブランキング期間(BL期間)に行う。この動作によりROMと水平アドレスカウンタ、欠陥選択回路の信号線による有効期間へのノイズの飛び込みを防止できる。特に、水平アドレスカウンタ、欠陥選択回路等をLSI化したときにこの効果は大きい。また、ROMからの読出しコードは水平アドレスを示すコードと欠陥種類を示すコードに

分離して記憶する。この図では、コードD₀～D₉が水平アドレスを、D₁₀～D₁₃が欠陥種類を示すコードである。

【0039】水平アドレスコードC_Aで水平アドレスカウンタのセット入力を制御し、このカウンタのキャリー出力がアドレスパルスになる。このカウンタとしてグレイコードカウンタを使用すればパルス変化時点が分散できるので、さらにノイズを小さくできる効果がある。一方、欠陥種類コードC_Bは先のアドレスパルスと組み合わせることによって、図6(f)～(j)に示した欠陥補正パルスを作成することができる。

【0040】第2の実施例では第1の実施例で説明した効果に加えて、1箇所多画素の欠陥画素の補正をノイズの増加なく高速に行える特長がある。このことは、ハイビジョン用CCDなどの画素数が多く、高速対応が要求され、かつノイズを小さくすることが強く望まれている画像欠陥補正回路として極めて有効な方法であることになる。

【0041】次に、本発明の第3の実施例について説明する。この実施例は本発明者が実際に設計し実験して、極めて大きい効果を得た方法である。ここで使用したCCDはハイビジョン用素子であり、画素数は水平2000、垂直1000であり、出力は2線構成であり、信号読出し周波数は37.125MHzである。この実施例は、多画素の画素欠陥を低ノイズでかつ高速に処理できる特徴を持つ。ここでは2線出力のCCDを使用して水平方向に1画素の欠陥から3画素の欠陥まで対応した場合について説明する。

【0042】図8～図11は、第3の実施例で実現可能な各方法をまとめたものである。各図において、AはO_{SA}の出力、BはO_{SB}の出力を示し、出力と示しているのは画素欠陥を補正した場合、□は正常画素信号、×は欠陥画素信号を示す。矢印は欠陥画素信号をどの正常画素信号で置き換えるかを示している。

【0043】図8は隣接前補間、図9は隣接前補間、図10は隣接前後補間、図11は隣接前後補間である。また、各図において、(a)は水平1画素欠陥の場合、(b)は水平2画素欠陥の場合、(c)は水平3画素欠陥の場合について表わしている。ここに示したように本実施例では、水平方向の補間を種々選択できる。この選択は回路規模、信号の質などに応じて行えばよい。

【0044】次に、図10の隣接前後補間について具体的回路と動作を説明する。また、図12は回路構成図を示し、図13～16はタイミング図を示し、図17は動作図を示し、図18は欠陥補正された図を示している。図12において、100, 101, 103～111, 132, 133, 135, 137はバッファアンプであり、102, 112～123, 134は遅延線を示し、遅延量は1画素相当の13.5nsである。124～131は切換スイッチであり、それぞれのスイッチの入力

パルスは P_{A0} , P_{A-1} , P_{A+1} , P_{A+2} , P_{B0} , P_{B-1} , P_{B+1} , P_{B+2} で示す。136は2線信号を加算するための切換スイッチである。

【0045】図12の回路に図13~16に示すパルスを印加することによって、図10で説明した方法が実現できる。図13は欠陥なし、A1点欠陥の場合、図14はA1点欠陥、B1点欠陥の場合、図15はAB2点欠陥、BA2点欠陥の場合、図16はABA3点欠陥、BAB3点欠陥の場合を示している。また、各図において、HBLは水平ブランキングを示し、 ϕH_1 は水平転送パルスを示す。各パルスのHは高レベルを示しスイッチオンとなり、Lは低レベルを示しスイッチオフとなる。

【0046】図12の回路で、図13~16のタイミングでスイッチを制御した場合の動作図を図17に示す。□は正常画素、×は欠陥画素、 OS_A , OS_B は固体撮像素子の出力信号、 P_{A+B} は補正処理後の信号を示す。 S_D は欠陥信号を示し、矢印は欠陥信号を正常信号に置き換える位置関係を示す。(a)はA1画素欠陥の場合、(b)はB1画素欠陥の場合、(c)はAB2画素欠陥の場合、(d)はBA2画素欠陥の場合、(e)はABA3画素欠陥の場合、(f)はBAB3画素欠陥の場合である。

【0047】図17(a)の場合、 OS_B の信号を遅延線112, 113を通して2画素相当遅延させ A_2 の欠陥信号の位置に B_1 の正常信号を持ってくる。そして、この位置でスイッチ124をオフして、スイッチ126をオンすると、 A_2 の信号は B_1 の信号に置き換えることができる。同様な動作を図17(b)~(f)で行えば、水平1画素から3画素までの欠陥を正常画素に置き換えることが可能である。

【0048】以上の動作を垂直方向で何回か行えば、水平、垂直で $n \times m$ 画素の画素欠陥を補正できる。図18は、水平1画素×垂直2画素から水平3画素×垂直4画素の補正をした場合の画素配置図を示し、これらは図12の回路で実現できるものである。ここに示したように本実施例ではハイビジョン用CCDの多画素の画素欠陥を低ノイズで行える特徴を持つ。

【0049】次に、単板カラーカメラに実施した例を、図19を用いて説明する。ここで、 $N+1$, $N+2$, ... $N+6$ は垂直方向画素番号、 P_1 , P_2 , ... P_8 は水平方向画素番号を示し、R, G, Bは赤, 緑, 青色のフィルタを示す。色フィルタ配列は良く知られているバイア配列である。この実施例で示すように水平画素方向で画素欠陥の位置に近い同色の正常画素で置き換えることにより補正できる。本発明は単板カラーカメラにおいても高速で低ノイズで1箇所多画素の欠陥を補正することが可能である。

【0050】次に、本発明の第4の実施例について説明する。図20は欠陥画素を正常画素信号に置き換えると

き、精度良く実現する一方法を説明するための回路構成図であり、図21はその動作波形図である。図20において150~154, 162はバッファアンプ、155~157は遅延線、158~161はスイッチ、また V_{OF1} , V_{OF2} , V_{OF3} , V_{OF4} はオフセット調整器である。

【0051】入力信号は図に示すように4分割して遅延量の異なる信号にする。そして、欠陥画素の大きさに応じてスイッチを切り変えて正常信号に置き換える。この置き換える動作のとき2つの信号間にオフセットがあると、これが新たにノイズとなって表われて、画素欠陥補正したにもかかわらずノイズが残ってしまう。本実施例では、このノイズを除去することを可能としている。

【0052】具体的には、図21(a)に示すように正常画素と欠陥画素がある信号を、(b)に示すようにオフセットが可能ないように V_{OF1} , V_{OF2} , V_{OF3} , V_{OF4} で処理する。そして、各スイッチを図21(c)

(d)で示すパルスで制御したとき、バッファアンプ出力で(e)に示すようにオフセットを調整してノイズがない状態にする。このようにすれば画素欠陥を高精度に置き換えることが可能であり、例えばスイッチを制御するパルスが信号系に飛び込んだ場合も同様に補正することが可能になる。

【0053】次に、本発明の第5の実施例について説明する。図22は、正常信号と欠陥信号を正常信号に置き換えた信号を高精度に高帯域の状態に加算する回路を示す。4分割された入力信号I1~I4はトランジスタTR1~TR3及び抵抗R1, R2からなるスイッチ回路を介して出力端子OUTに出力される。

【0054】具体的には、I1はコレクタを接地しエミッタをR1Aを介して電源PS1に接続したTR1Aのベースに接続され、TR1AのエミッタはMOSスイッチとしてのTR2Aを介してTR3Aのベースに接続されている。TR2AのベースはR2Aを介して接地され、コレクタは電源PS1に接続され、エミッタはR3を介して電源PS2に接続されている。そして、TR3AのエミッタがR4を介して出力端子OUTに接続されている。I2~I4に関するスイッチ回路も同様の構成である。

【0055】通常に加算回路では、図20に示すようにスイッチの出力を接続して行っている。この場合、スイッチの端子容量が増加して周波数特性が劣化したり、スイッチ間でそれぞれの制御パルスがカップリングして信号波形が劣化する問題が生じる。これを改善するため、本実施例ではスイッチを独立になるようにして、かつ加算が可能な構成を実現している。これにより、高帯域でノイズ増加のない加算が可能である。

【0056】即ち、TR2AがオンのときTR3AがオンとなるようにR1AとR2Aのバイアスを設定する。そして、TR2AがオフのときTR3Aがオフとなるよ

うR2Aを設定する。このように他の3組の回路を設定しておく、それぞれのスイッチTR2A, TR2B, TR2C, TR2Dがオンとなったときだけの信号が出力端子OUTに表われる。この場合、スイッチが独立となっているので、スイッチの端子容量が増加することではなく、周波数特性が劣化や信号波形の劣化を未然に防止することができる。

【0057】なお、本発明は上述した各実施例に限定されるものではなく、欠陥画素をその周辺の正常画素で置き換える方法であれば、種々変形して実施できる。例えば、画素信号をデジタル信号にして処理してもよい。この場合、複数の画素信号に分割する遅延分割回路、分割した信号を切り換えるスイッチ回路をデジタル信号を処理する回路とすればよい。また、遅延分割回路及びスイッチ回路をCCDで構成し、画素信号をCCD内の信号電荷のまま分割、選択する処理を行うようにしてもよい。

【0058】次に、本発明の別の実施例として、スイッチを用いない例について説明する。

【0059】図23は、本発明の第6の実施例に係わる画素欠陥補正回路を備えた固体撮像装置の基本回路構成を示す図である。入力へは、CCD出力信号が入る。この入力信号をアンプA₁で増幅した後、遅延しない信号S_Aと遅延線D_Lを通して1画素分遅延した信号S_Bに分割する。補正パルスP_Aは抵抗R₃、R₄で分割して信号S_Aと合成する。補正パルスP_Bは抵抗R₁、R₂で分割して信号S_Bと合成する。それぞれの信号はダイオードD₁、D₂を通して合成してアンプA₂を通して出力する。

【0060】図24に図23の動作波形図を示す。欠陥画素のある入力信号は遅延しない信号S_A、遅延した信号S_Bに分割され、補正パルスP_Aに応じて欠陥画素部分だけレベルシフトする。一方、遅延した信号S_Bは1画素前の正常画素信号以外は補正パルスP_Bに応じてレベルシフトする。そして、R₃とR₄の接続点、R₁とR₂の接続点とアンプA₂の入力長のバイアスをダイオードD₁、D₂がレベルシフトしたときだけオフになるように（図ではスライスレベル）設定しておけば、欠陥画素信号部分だけ1画素前の正常信号に置き換わる。

【0061】この動作には、欠陥画素信号の振幅分だけレベルシフトすればよいので出力信号に現われる切換ノイズは殆んど問題とならない。通常、用いられている信号を直接切換えるスイッチでは、約5V_{p-p}のパルス振幅が必要であるのに対して本構成では約0.5V_{p-p}のパルス振幅でよい。さらに、この切換えは信号の無効期間で行っているため、有効期間への影響が少ない効果がある。

【0062】次に、本発明の第7の実施例について説明する。この実施例は、第6の実施例のレベルシフトの考えを第2の実施例に適用したものである。図25は、第

7の実施例を実現する具体的回路例を示す図である。この回路は、図5の回路のスイッチ65～69をレベルシフト回路90に置き換えたものである。このレベルシフト回路90は欠陥補正パルスで制御される。

【0063】この回路の動作波形は前記図6と基本的に同様であり、第2の実施例と同様に複雑な画素欠陥をも補正することができる。さらに、スイッチを用いないことから、切換えノイズの問題もなくすることができる。

【0064】次に、本発明の第8の実施例について説明する。この実施例は本発明者が実際に設計し実験して、極めて大きい効果を得た方法である。ここで使用したCCDはハイビジョン用素子であり、画素数は水平2000、垂直1000であり、出力は2線構成であり、信号読出し周波数37.125MHzである。

【0065】この実施例は、多画素の画素欠陥を低ノイズでかつ高速に処理できる特徴を持つ。ここでは、2線出力のCCDを使用して水平方向に1画素の欠陥から3画素の欠陥まで対応した場合について説明する。図26はその回路構成図を示し、図27は動作図を示す。

【0066】図26において、100～110はバッファアンプであり、120～135は遅延線DLを示し、遅延量は1画素相当の13.5nSである。140～147は信号切換えのためのダイオードであり、それぞれのダイオードのレベルをシフトするためのパルスはP_{A-}、P_{A0}、P_{A+}、P_{B-}、P_{B0}、P_{B+}で示す。R₁とC₁、R₂とC₂、R₃とC₃、R₄とC₄、R₅とC₅、R₆とC₆は、各信号の波形を合わせるための抵抗とコンデンサのフィルタである。R₇～R₂₄はバッファアンプ及び遅延線の入出力のインピーダンスを整合させるための抵抗である。R₂₅～R₃₀は補正パルスの振幅を下げるための抵抗である。各遅延数で分割遅延した信号をS_{A-}、S_{A0}、S_{A+}、S_{B-}、S_{B0}、S_{B+}で示す。

【0067】図27において、1～25は画素番号を示し、×印は欠陥画素、A、BはCCD出力信号O_{SA}、O_{SB}を示す。P_{A-}、P_{A0}、P_{A+}、P_{B-}、P_{B0}、P_{B+}はレベルシフトを行う補正パルスを示し、S_{A-}、S_{A0}、S_{A+}、S_{B-}、S_{B0}、S_{B+}の各信号に対応している。また、○で囲んだ画素番号は欠陥画素が正常画素に置き替わる関係を示す。ここでは、A1画素欠陥、AB2画素欠陥、ABA3画素欠陥の場合について示している。

【0068】A1画素欠陥の場合はS_{A0}の信号の欠陥画素をレベルシフトし、S_{A+}の補間信号以外（図では3番の信号）をレベルシフトし、レベルシフトしてない信号だけを合成すると欠陥画素5番が正常画素3番に置き換えられる。同様な動作を各補正パルスに応じて行えば、AB2画素欠陥、ABA3画素欠陥も欠陥画素を正常画素に置き換えることが可能である。

【0069】以上の動作を垂直方向で何回か行えば、水平、垂直でn×m画素の画素欠陥を補正できる。ここに示したように、本実施例ではハイビジョン用CCDの多

画素の画素欠陥を低ノイズで行える特徴を持つ。

【0070】次に、今まで説明してきた本発明のポイントであるレベルシフト回路の具体例について説明する。図28、図29はレベルシフトを補正パルスと画素信号を合成して得る実施例を説明する図である。Tr₁、Tr₂はトランジスタ、D₁、D₂はダイオード、R₁、R₂、R₃、R₄、R₅、R₆は抵抗、S_A、S_Bは入力、V_{OUT}は出力、P_A、P_Bは補正パルス、V_Dは正電源、V_Sは負電源、P₁、P₂、P₃、P₄は画素信号で、特にP₃は欠陥画素を示す。

【0071】S_A入力信号はP_Aパルスにより、欠陥信号P₃部分のみ負の方向へシフトする。このとき、ダイオードD₁はカットオフになる。一方、1画素遅延した信号S_BはP_Bパルスにより、補間信号P₂以外は負の方向へシフトする。このとき、ダイオードD₂はカットオフになる。そして、ダイオードD₁、D₂で合成された信号はV_{OUT}に示すように欠陥信号P₃の代わりに正常信号P₂が置き替わる。

【0072】図30はレベルシフトを電圧制御によって行う実施例である。図31は図30の動作図を示す。Tr₁、Tr₂、Tr₃、Tr₄はトランジスタ、D₁、D₂はダイオード、R₁、R₂、R₃、R₄は抵抗、S_A、S_Bは入力、V_{OUT}は出力、P_A、P_Bは補正パルス、P₁、P₂、P₃、P₄は画素信号で、特にP₃は欠陥画素を示す。

【0073】S_A入力信号はTr₁により反転増幅され、補正パルスP_Aにより欠陥信号画素P₃の部分のみ、Tr₂がオンされる。このとき、R₂は短絡して欠陥信号画素P₃はV_D側へシフトする。このことによりダイオードD₁はカットオフとなる。一方、1画素遅延した信号S_BはP_Bパルスにより補間信号P₂以外がTr₄によってV_D側へシフトする。このときD₂はカットオフとなる。これらのことにより、ダイオードD₁、D₂により合成された信号はV_{OUT}に示すように欠陥信号P₃の代わりに正常信号P₂になる。

【0074】図32はレベルシフトを電流制御によって行う実施例である。図33は図32の動作図を示す。Tr₁、Tr₂、Tr₃、Tr₄はトランジスタ、D₁、D₂はダイオード、R₁、R₂、R₃、R₄は抵抗、S_A、S_Bは入力信号、P_A、P_Bは補正パルス、S_{OUT}は出力信号、P₁、P₂、P₃、P₄は画素信号で、特にP₃は欠陥信号を示す。

【0075】S_A入力信号はTr₁により反転増幅され、P_A補正パルスはTr₂はR₁によりTr₁の電流を制御する。この結果、Tr₁のコレクタには欠陥画素P₃の期間のみV_D側へシフトする。このシフトしたレベルがダイオードD₁のカットオフレベルに設定しておけば、欠陥画素P₃の信号はS_{OUT}へ現われない。一方、1画素遅延した信号S_BはTr₃で反転増幅され、補正パルスP_BによってTr₃の電流を制御して、補間

信号P₂以外の画素信号はレベルシフトする。このとき、ダイオードD₂はカットオフになる。この結果、2つの信号を合成すると、S_{OUT}には欠陥信号P₃の代わりに正常信号P₂になる。

【0076】以上、3つのレベルシフト法の実施例について説明した。これらの方法では、欠陥信号を正常信号に切替えるのに信号をオン、オフするスイッチを用いてないので、切替え時点におけるパルスの飛び込みを大幅に小さくすることが可能である。

10 【0077】なお、本発明は上述した各実施例に限定されるものではなく、2つ以上の信号をレベルシフトして欠陥信号を正常信号に置き換える方法であれば、種々変形して実施できる。例えば、欠陥信号以外をレベルシフトした信号と補間信号をレベルシフトした信号を合成してもよい。また、欠陥信号をレベルシフトした信号と補間信号をレベルシフトした信号を合成してもよい。さらに、欠陥信号以外をレベルシフトした信号と補間信号以外をレベルシフトした信号を合成してもよい。

【0078】

20 【発明の効果】以上、詳述したように本発明によれば、固体撮像素子の欠陥補正回路として、固体撮像素子の画素信号出力を遅延して分割する機能、分割された画素信号出力を選択する機能を設けたことにより、ハイビジョン用固体撮像素子の画素欠陥を高速でノイズの増加なく補正することができ、且つ1箇所が多画素の欠陥をも補正することができる。より具体的には、以下のような効果が得られる。

- (1) 1ヶ所で水平n×垂直m画素の多画素欠陥の補正ができる。
- 30 (2) 補正パルスの飛び込みノイズが少なくできる。
- (3) 高速回路に対応できる。
- (4) 補正パルス発生回路からの同期性ノイズが少ない。
- (5) 欠陥画素の前後の画素で補正するので補正誤差が小さくできる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係わる固体撮像装置を示す回路構成図。

【図2】第1の実施例の動作を説明するためのタイミング図。

40 【図3】第1の実施例の動作を説明するための模式図。

【図4】多画素の欠陥を補正する位置関係を説明するための模式図。

【図5】第2の実施例に係わる固体撮像装置を示す回路構成図。

【図6】第2の実施例における多画素欠陥の補正動作を説明するためのタイミング図。

【図7】第2の実施例におけるROMのデータ内容を説明するための模式図。

50 【図8】欠陥画素を正常画素に置き換える方法を示す模式図（隣々接前補間）。

【図9】欠陥画素を正常画素に置き換える方法を示す模式図（隣接前補間）、

【図10】欠陥画素を正常画素に置き換える方法を示す模式図（隣接前後補間）、

【図11】欠陥画素を正常画素に置き換える方法を示す模式図（隣々接前後補間）、

【図12】第3の実施例に係わる固体撮像装置の要部を示す具体的回路構成図、

【図13】第3の実施例の動作を示すタイミング図（欠陥なし、A1点欠陥）、

【図14】第3の実施例の動作を示すタイミング図（A1点欠陥、B1点欠陥）、

【図15】第3の実施例の動作を示すタイミング図（A B2点欠陥、B A2点欠陥）、

【図16】第3の実施例の動作を示すタイミング図（AB A3点欠陥、BAB3点欠陥）、

【図17】水平1画素から水平3画素までの補正を説明するための模式図、

【図18】多画素欠陥補正を行った場合の画素配置図、

【図19】単板カラーCCDに適用した場合の画素配置図、

【図20】第4の実施例に係わる固体撮像装置の要部を示す回路構成図、

【図21】第4の実施例におけるオフセット補正を説明するためのタイミング図、

【図22】第5の実施例に係わる固体撮像装置の要部を示す回路構成図、

【図23】第6の実施例に係わる画素欠陥補正回路を備えた固体撮像装置の基本回路構成を示す図、

【図24】図23の動作波形図を示す図、

【図25】第7の実施例を実現する具体的回路例を示す図、

【図26】第8の実施例の回路構成を示す図、

【図27】第8の実施例の動作を示す図、

【図28】レベルシフトを補正パルスと画素信号を合成して得る実施例を示す図、

【図29】図28の動作波形を示す図、

【図30】レベルシフトを電圧制御によって行う実施例を示す図、

【図31】図30の動作波形を示す図、

【図32】レベルシフトを電流制御によって行う実施例を示す図、

【図33】図32の動作波形を示す図、

【図34】従来の欠陥補正回路を示す回路構成図、

【図35】従来の欠陥補正回路の問題点を説明するための模式図、

【符号の説明】

10、50…CCD、

11、12…CCD出力、

13、14、21、22、24、51～55、60～64、70、150～154、162、100、101、

103～111、132、133、135、137…ア

ンプ、

15、16、23、56～59、102、112～123、134、155～157…遅延線、

17、18、19、20、65～69、124～131、158～161…スイッチ、

25…加算回路、

26…出力端子、

71…ROM、

72…アドレス発生回路、

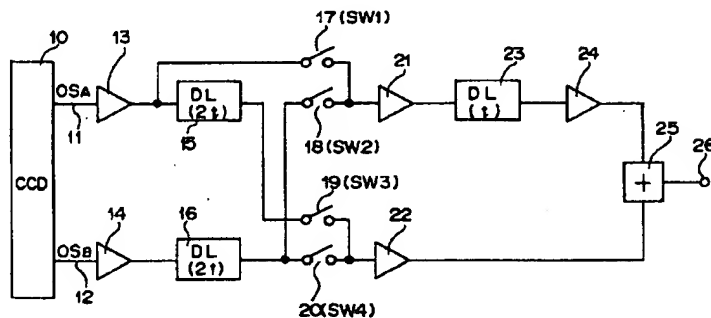
74…欠陥選択回路、

75…水平アドレスカウンタ、

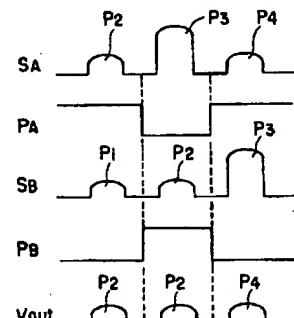
76…成形回路、

136…切換スイッチ、

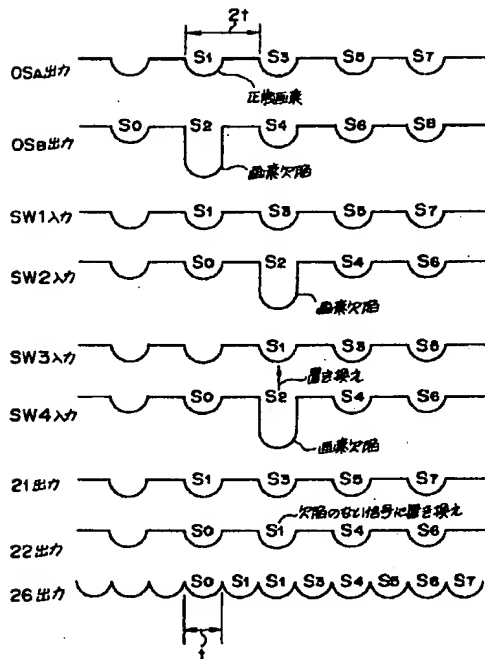
【図1】



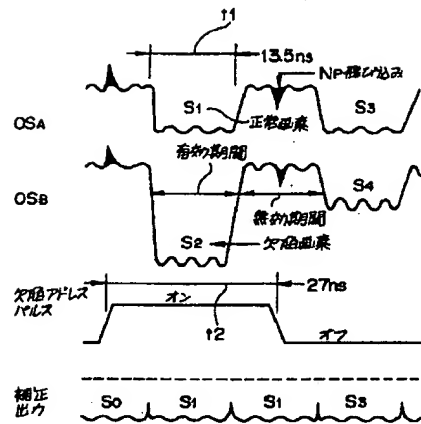
【図29】



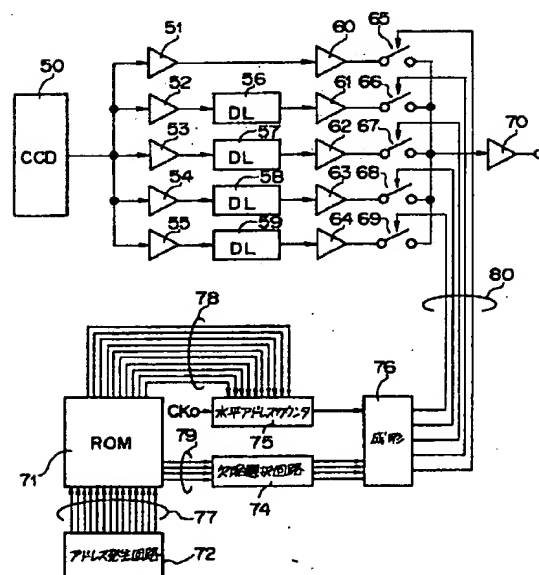
【図2】



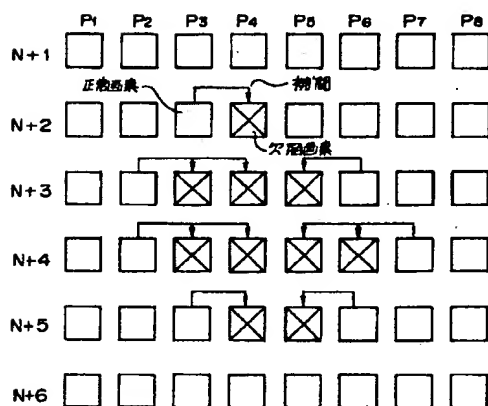
【図3】



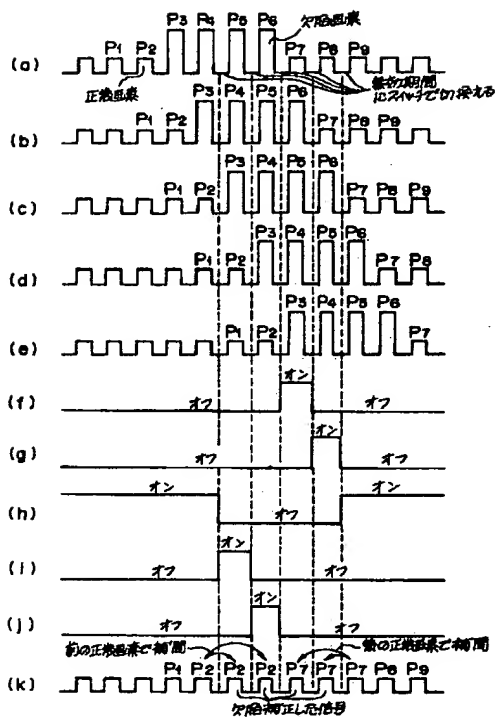
【図5】



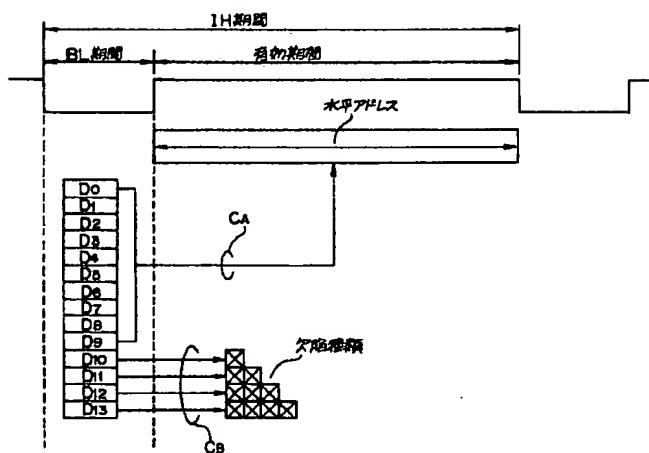
【図4】



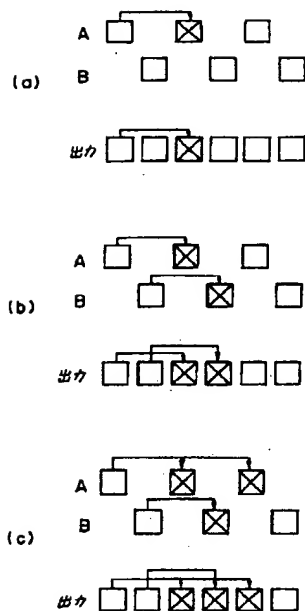
【図6】



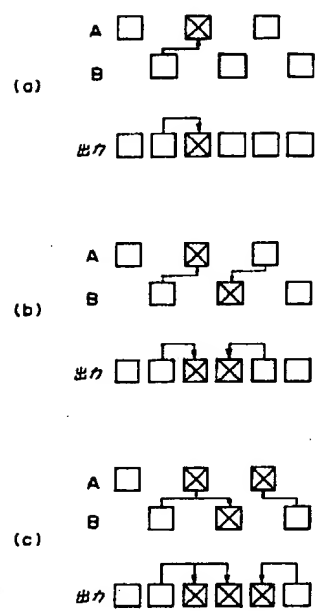
【図7】



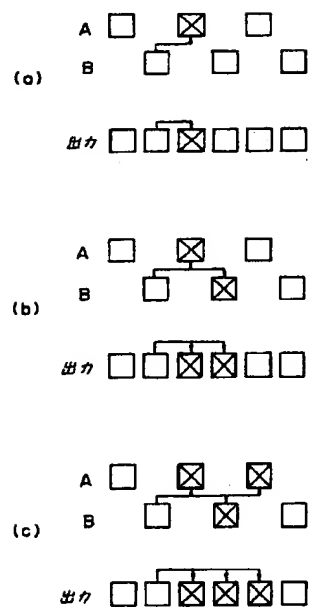
【図8】



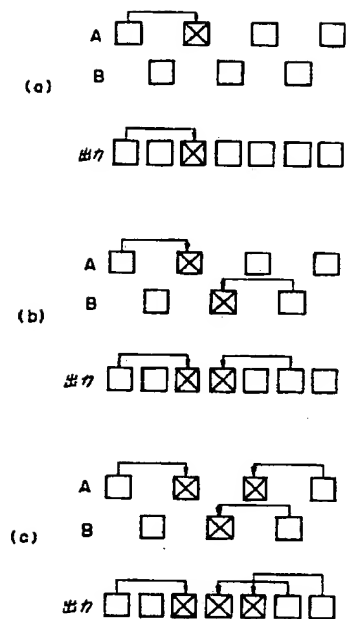
【図10】



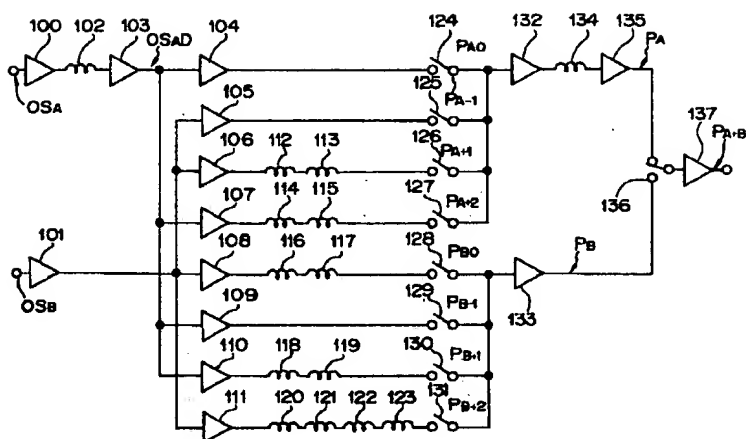
【図9】



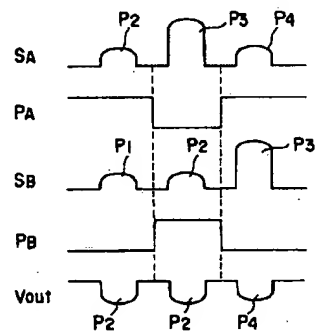
【図11】



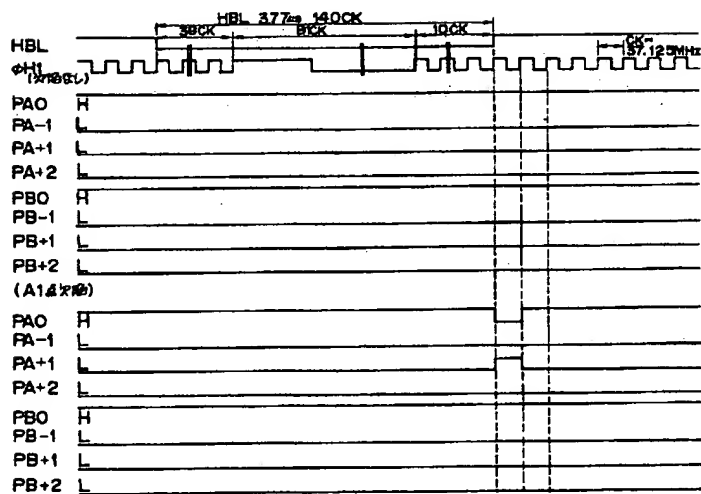
【図12】



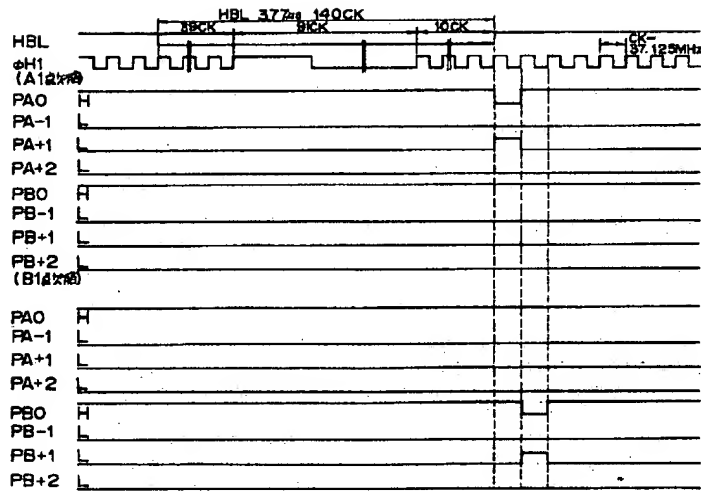
【図31】



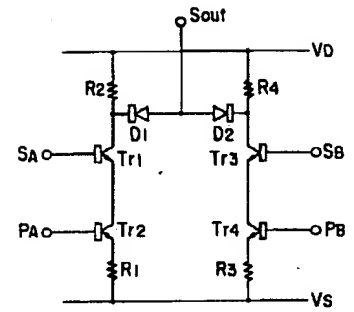
【図13】



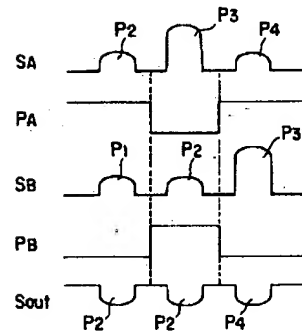
【図14】



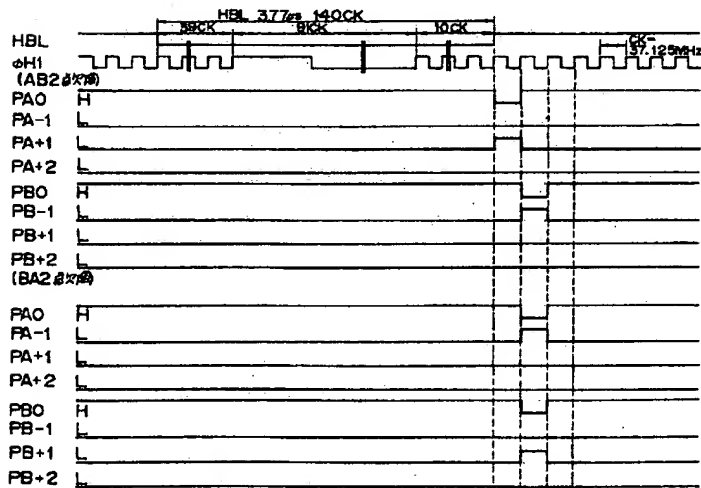
【図32】



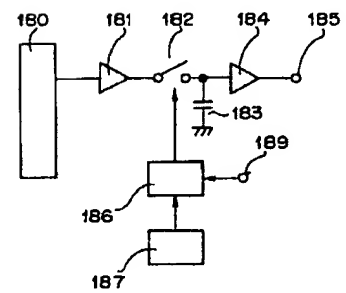
【図33】



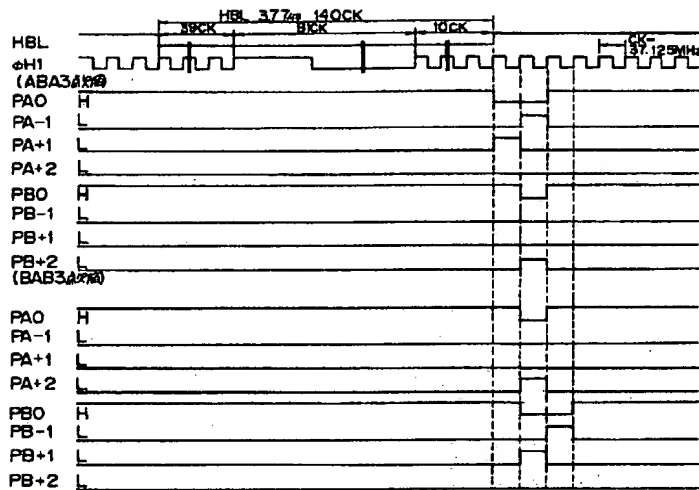
【図15】



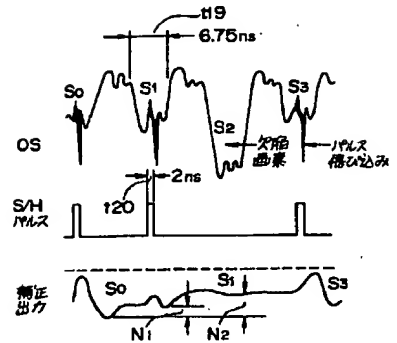
【図34】



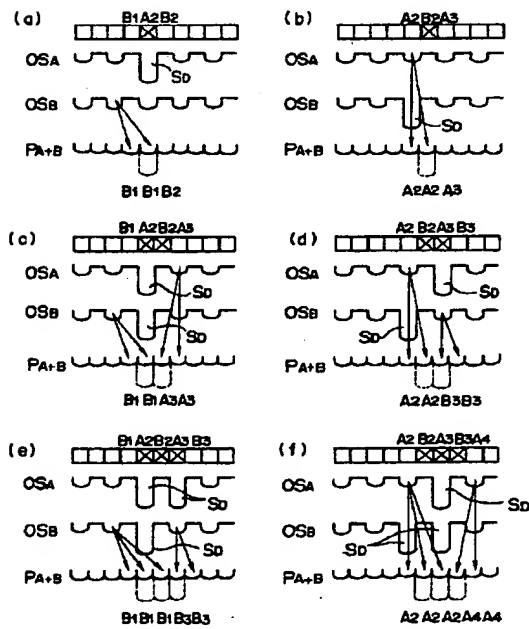
【図16】



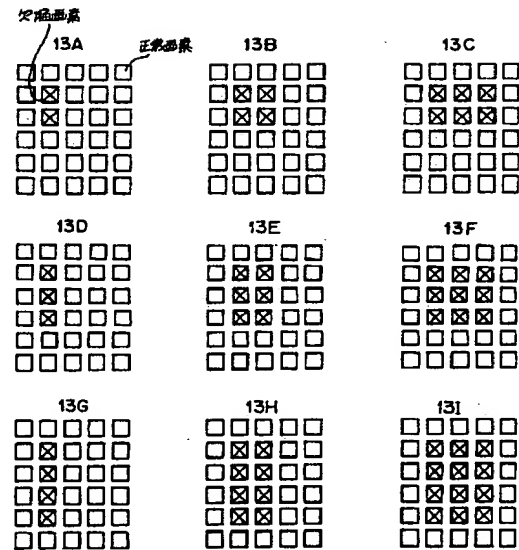
【図35】



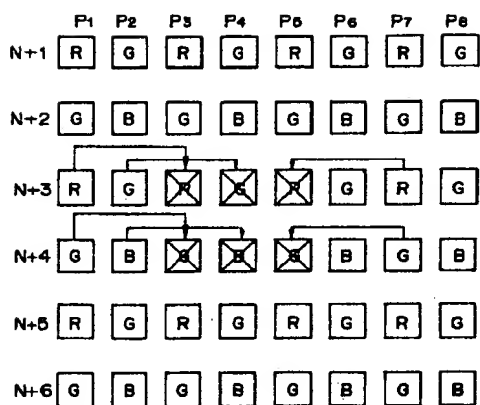
【図17】



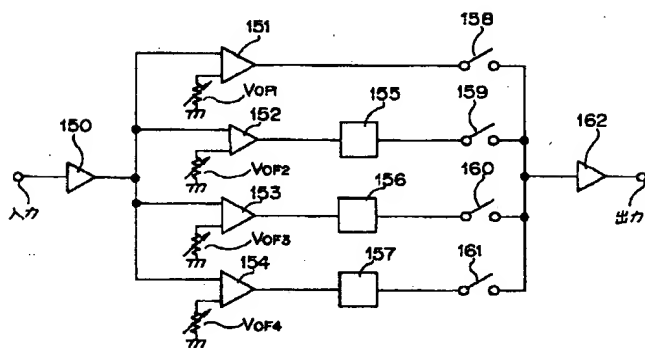
【図18】



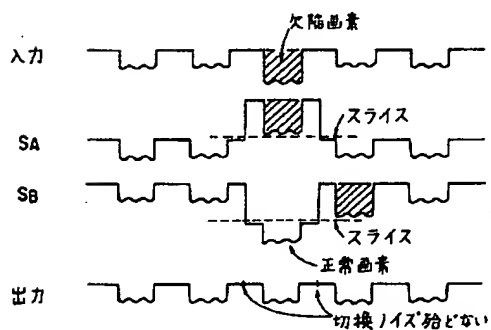
【図19】



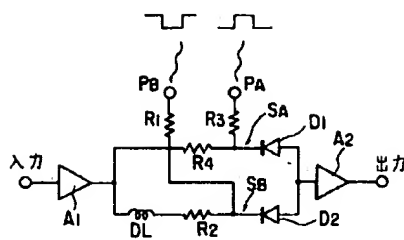
【図20】



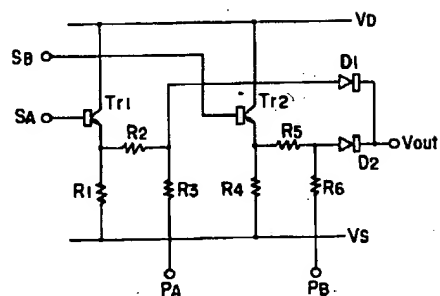
【図24】



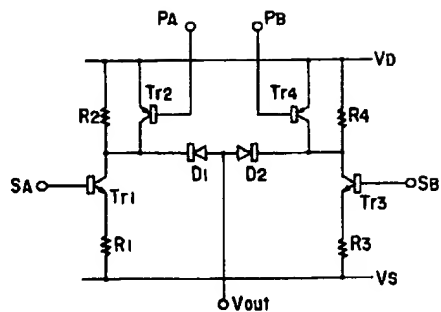
【図23】



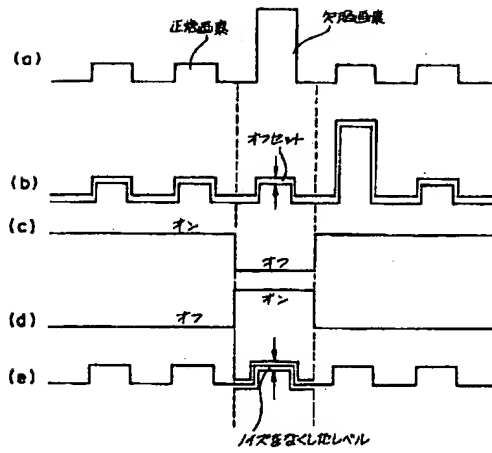
【図28】



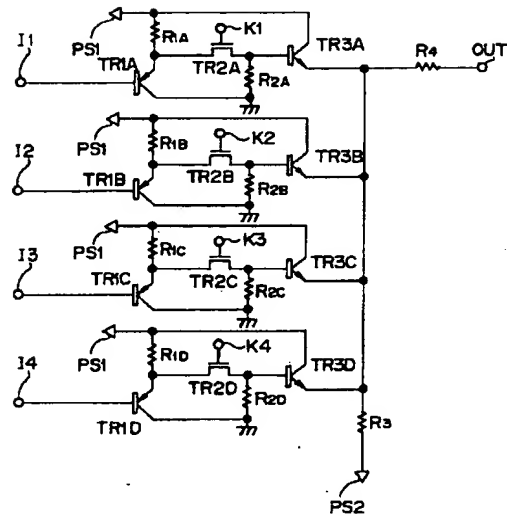
【図30】



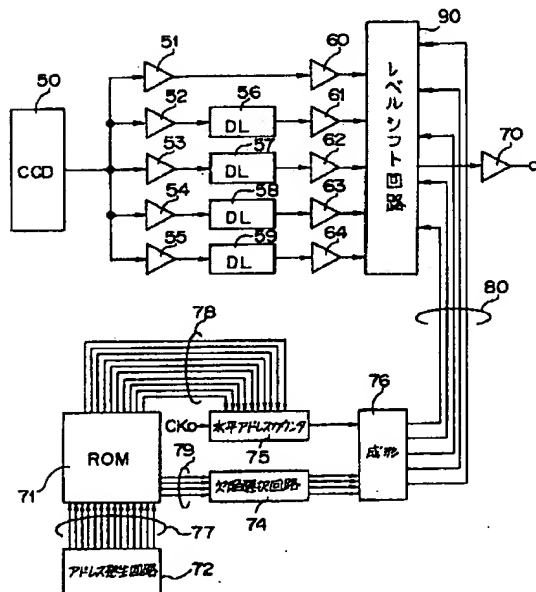
【図21】



【図22】



【図25】



【図27】

